

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-119185

(43)Date of publication of application : 07.05.1990

(51)Int.Cl.

H01L 29/788  
H01L 21/76  
H01L 27/10  
H01L 27/115  
H01L 29/792

(21)Application number : 01-166474

(71)Applicant : GOLDSTAR SEMICONDUCTOR CO LTD

(22)Date of filing : 28.06.1989

(72)Inventor : LEE SANGSOO

(30)Priority

Priority number : 88 8807986

Priority date : 30.06.1988

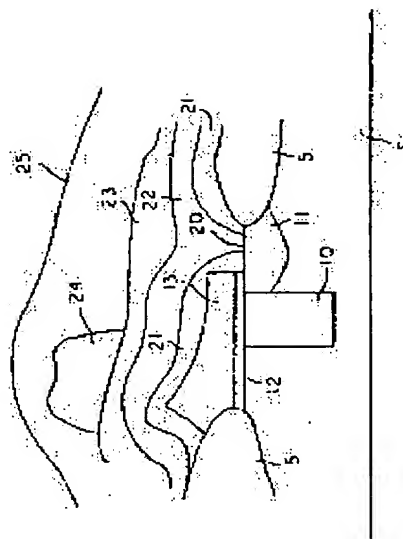
Priority country : KR

(54) EPROM CELL

(57)Abstract:

PURPOSE: To improve reliability by providing an N-type silicon control gate and a floating gate formed of a polycrystalline layer I.

CONSTITUTION: In a channel region separated by field oxide 5 and demarcated by a trench isolating part 10, a control gate 11 and a floating gate 13, which is formed of a single polycrystalline layer I on a first gate oxide and polycrystalline oxide 12, are provided. Heavily doped N-type silicon is used as a gate 11. A trench region is filled with thick oxide to be the isolating part 10. The channel region is completely isolated from the gate 11, and thin oxide 12 to be used as the first gate oxide and also as interpolycrystalline oxide is formed. On the oxide 12, a polycrystalline layer I is deposited as a gate 13, furthermore, thicker oxide is deposited, a buried contact 20 is formed on a part of the gate 11 to constitute a word line to be applied to a storage cell, and a polycrystalline layer II 22 is provided on the thick oxide. Thus, reliability is improved.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision  
of rejection]  
[Date of requesting appeal against examiner's  
decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-119185

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)5月7日

H 01 L 29/788  
21/76  
27/10  
27/115  
29/792

4 3 1 L 7638-5F  
8624-5F

7514-5F  
8624-5F

H 01 L 29/78 3 7 1  
27/10 4 3 4

審査請求 有 請求項の数 2 (全5頁)

⑮ 発明の名称 EPROMセル

⑯ 特 願 平1-166474

⑰ 出 願 平1(1989)6月28日

優先権主張 ⑱ 1988年6月30日 ⑲ 韓国(KR) ⑳ 88-7986

㉑ 発 明 者 李 相 洙 大韓民国京畿道水原市イングケドング319-6シンバンボ  
アパート110-1204号

㉒ 出 願 人 金星半導体株式会社 大韓民国ソウル特別市永登浦区汝矣島洞20番地

㉓ 代 理 人 弁理士 浅 村 皓 外2名

明 細 書

1. 発明の名称

EPROMセル

2. 特許請求の範囲

(1) フィールド酸化物で分割され、トレンチ分離を用いて製造される EPROMセルであつて、

a) トレンチ分離部によつて区分されたチャネル領域中であつて、高濃度にドーブされたN型シリコンでできた制御ゲートと、

b) 同時に成長された第1のゲート酸化物と多結晶間酸化物の上に形成された、単一の多結晶層Iによつてできた浮遊ゲートと、

を含む、EPROMセル。

(2) トレンチ分離を用いて EPROMセルを製造する方法であつて、

a) フィールド酸化物により分割されたセル領域をもつ基板上に緩衝酸化物層および窒化物層をデポジットし、次いで制御ゲートからセルのチャネル領域を区分するためのトレンチマスクを用いてトレンチエッチングすることと、

b) トレンチ領域へ酸化物層を充填し、酸化物層を窒化物層の端点までエッチし、緩衝酸化物の高さと同レベルにすることと、

c) 制御ゲートをドーピングセルのN型とし、前記緩衝酸化物を除去し、多結晶層Iをデポジットすることと、

d) 多結晶層Iの上へ厚い酸化物を成長させ、制御ゲートの領域中へ埋込みコンタクトを備えた多結晶層IIをデポジットし、N+領域用マスクを用いてN+型ドーパントイオンを注入し、N型ドーブされたソース/ドレインを形成し、BPSG酸化物と金属層を形成すること、

の工程を含む、方法。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、トレンチ(溝埋込み)分離を用いた新規な EPROM(消去可能プログラム可能ROM)セル及びその製造プロセスに関するものであつて、更に詳細には浮遊ゲートとしての多結晶層Iと、埋込みコンタクトを通して多結晶層IIとつながつ

た制御ゲートとしてのN型拡散領域とを有するEPROMセルに関するものである。

EPROMセルは、次の2つの状態を有することによって記憶セルとして用いることができる。1つはセルをプログラムすることによって浮遊ゲート中へ電子が蓄積されたオフ状態であり、他の状態はUV(紫外)光を用いてセルを消去することにより浮遊ゲート中の電子を解放するオン状態である。詳細には、セルをプログラムするためには、記憶セルとして用いられるトランジスタのドレイン領域から発生したホットエレクトロンが酸化物層中に埋込まれた浮遊ゲート中へ注入される(この注入は制御ゲートによって制御される)。またセルを消去するためには、パッケージの上部の窓を通してUV光を照射することによって電子を浮遊ゲートから解放する。

#### [従来の技術]

上述の機能を有するように設計された従来のEPROMセルは第1A図および1B図に示されたように2重の多結晶層を含んでいる。従来のセルの平

面図は第2図に示されており、a-a'ラインに沿つての断面とb-b'ラインに沿つての断面とはそれぞれ第1A図と第1B図とに示されている。この構造において、第1の多結晶層1と第2の多結晶層2とはそれぞれ浮遊ゲートと制御ゲートとして用いられており、セルは2つのセルの間に通常アポジットされるフィールド酸化物5によって分割されている。第1(B)図にはソース6とドレイン7も示されている。従つて、従来のセルの信頼性は第1図の第1ゲート酸化物層3と多結晶層間の酸化物層4の品質と厚さに依存することになる。

一般に、EPROMセルにおいては2つの状態が用いられる。第1の状態はセルをプログラムする前の低いしきい値電圧 $V_T$ を示し、第2の状態はその後の高いしきい値電圧 $V_{Th}$ を示す。セルをプログラムするためには、制御ゲート2とドレイン電極7とへ高電圧を供給し、セルのチャネルとなつたドレインのまわりでホットエレクトロンをなだれ崩壊注入で浮遊ゲートへ注入蓄積させる。このようにして電子が蓄積されるとセルはプログラムされたこ

とになり、この時、このセルのしきい値電圧は高くなる。従つて、プログラムの前と後とでしきい値電圧に差が生じ、この電圧の差でもつてセルが記憶セルとして利用できることになる。

上述のEPROMセルにおいて、良質の多結晶間酸化物(interpoly oxide)4の成長を制御して行わせることは重要である。それはこの多結晶間酸化物層の厚さが第1の多結晶層と第2の多結晶層との容量に係わってくるからである。また、多結晶間酸化物の成長は同時に第2のゲート酸化物の成長を引き起こす。従つて、多結晶間酸化物4の成長を制御することは困難である。従つて、セルの信頼性は、第1の多結晶層の端部から第2の多結晶層へ生成する漏洩電流によって失なわれてしまうことにもなる。

#### [発明の要約]

本発明の目的は、上に述べた問題を解決し、信頼性高いEPROMセルとその製造プロセスを得ることである。本発明の第4図に示すEPROMセルのラインa-a', b-b'に沿う断面が第3A図および

3B図に示されている。第3A図および3B図を参照すると、フィールド酸化物5によって分割されたこの新規なEPROMセルは、トレンチ分離部10によって区分されたチャネル領域内にある制御ゲート11と、第1のゲート酸化物と多結晶間酸化物12の上に形成された単一の多結晶層Iでできた浮遊ゲート13とによって特徴づけられる。信頼性高いEPROMセルは、トレンチ分離を用い、第1のゲート酸化物と多結晶間酸化物とを1つのプロセスで同時に成長させ、また多結晶層Iと多結晶層IIとの間の厚い酸化物も成長させることによって、製造される。

第3A図および3B図に示したように、高濃度にドーパされたN型シリコンが制御ゲート11として用いられ、多結晶層Iが浮遊ゲート13として用いられる。そしてトレンチ領域は厚い酸化物で充填されてトレンチ分離部となる。従つて、このセルのチャネル領域14は制御ゲートから完全に分離され、第1のゲート酸化物として用いられ、また多結晶間酸化物としても用いられる薄い酸化物12が形

成される。この薄い酸化物上に浮遊ゲートとして用いられる多結晶層 I がデポジットされる。この多結晶層 I の上に厚い酸化物がとりつけられ、制御ゲートの一部には埋込みコンタクト 20 も形成されて、記憶セルに適用されるワードラインを構成する。この厚い酸化物上へ多結晶層 II 22 をとりつけてセルが作製される。

#### [実施例]

本発明の EPROM セルをプログラムするためには、望ましくは 12V 以上の高電圧を、埋込みコンタクトを通して N 型拡散領域へつながれた多結晶層 II によつて作られた制御ゲート 11 へ印加し、更に高電圧を第 3A 図のドレイン 7 へも印加して、セルのチャネルとなつたドレインのまわりでホットエレクトロンをなだれ崩壊注入で浮遊ゲート 13 へ注入させ、浮遊ゲート中へ電子を蓄積させる。従つて、互に異なる 2 つの状態を利用した記憶セルが得られる。1 つはプログラムされたセルの高いしきい値電圧であり、他方はプログラムされていないセルの低いしきい値電圧である。

5D 図に示すように、セルの制御ゲートをセルマスクを用いて高濃度 N 型にドーピングする。第 5E 図と第 5F 図を参照すると、緩衝酸化物が取り去られ、ゲート酸化物 12 と多結晶層 I が堆積される。多結晶層 I の領域は多結晶層 I にマスクがけをすることによって規定される。次に多結晶層 I と多結晶層 II との間の厚い酸化物が多結晶層 I 上へ成長され、漏洩電流に起因する問題を解決する。次に、埋込みコンタクト 20 を備えた多結晶層 II のデポジットが行われ、多結晶層 II をマスクすることによつて、記憶セルのワードライン用の制御ゲートの領域が規定される。この結果、N<sup>+</sup> 用マスクを用いて N<sup>+</sup> 型ドーパントイオン注入を行うことで N 型ソース / ドレイン領域が形成される。次に BPSG 酸化物 23 が形成され、コンタクトマスクの後、金属層 24 の堆積と保護層 25 の形成が行われる。最後に、第 5G 図に示されたような構造の EPROM セルが得られる。

#### 4. 図面の簡単な説明

第 1A 図および第 1B 図は、従来の EPROM セル

多結晶層 I と多結晶層 II の間の酸化物の成長は、第 2 の酸化物の厚さに拘わらず増やすことができるので、この新規な EPROM セルは、従来のセルでみられる第 1 の多結晶層の端から第 2 の多結晶層への漏洩電流によつて引き起される問題を解決する。本発明によれば、高い信頼性を持つ EPROM セルが得られ、この EPROM セルを用いて高信頼性の記憶セルと論理セルが作製できる。

新規な EPROM セルを作成するために、以下の製造工程が必要とされる。慣用の製造技術に従つて、第 5A 図に示されたように、セルを作成するためにフィールド酸化物によつて分割されたセル領域を有する基板上に緩衝酸化物 31 と窒化物 32 がデポジットされる。次に、トレンチマスクを用いたトレンチエッチングを、第 5B 図に示したように行う。トレンチ領域には酸化物層が充填され、酸化物層は第 5B 図に示すように、窒化物層の端点(P)までエッチされる。酸化物層の高さが緩衝酸化物 31 と同じレベルになつた後、第 5C 図に示すように、窒化物層が取り去られる。ひきつづいて、第

の拡大断面図である。

第 2 図は、従来の EPROM セルの拡大平面図である。

第 3A 図および第 3B 図は、本発明による EPROM セルの拡大断面図である。

第 4 図は、本発明の EPROM セルの拡大平面図である。

第 5A 図から第 5G 図は、本発明の EPROM セルの製造段階を示す、拡大断面図である。

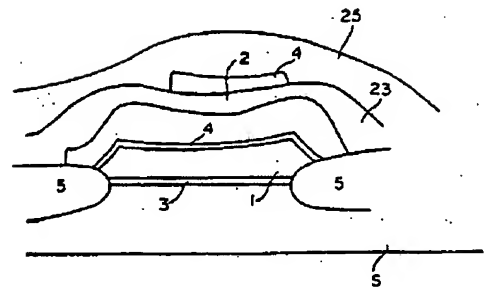
(参照符号)

- 1...第 1 の多結晶層
- 2...第 2 の多結晶層
- 3...第 1 のゲート酸化物層
- 4...多結晶間酸化物層
- 5...フィールド酸化物層
- 6...ソース
- 7...ドレイン
- 10...トレンチ分離部
- 11...制御ゲート
- 12...多結晶間酸化物

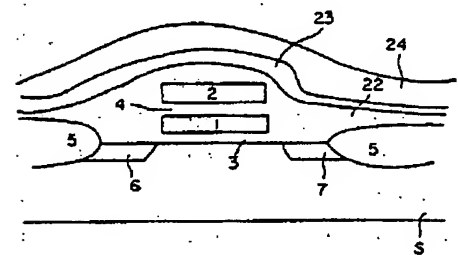
- 13…浮遊ゲート
- 14…チャネル領域
- 20…埋込みコンタクト
- 22…第2多結晶層
- 23…BPSG 酸化物
- 24…金属層
- 25…保護層
- 31…緩衝酸化物
- 32…窒化物。

代理人 浅 村 皓

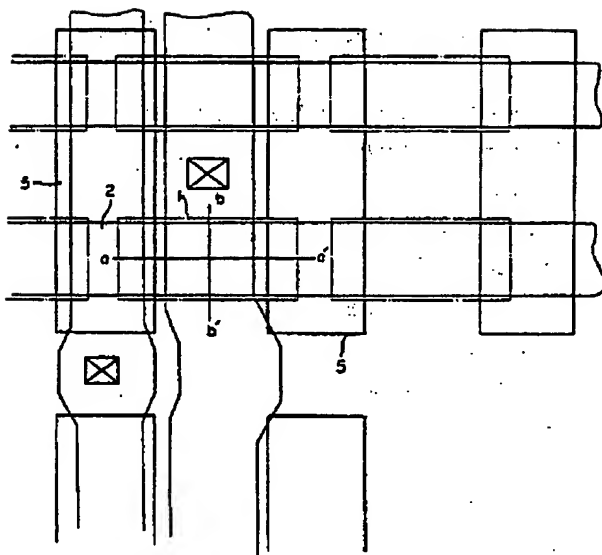
第 1A 図



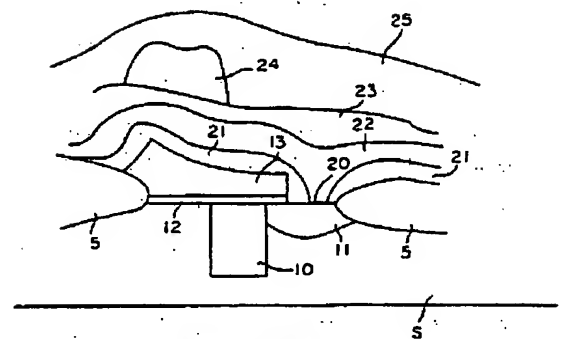
第 1B 図



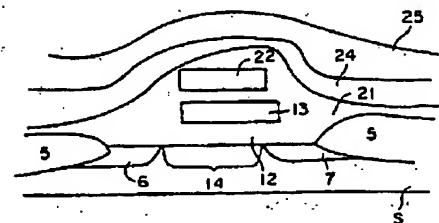
第 2 図



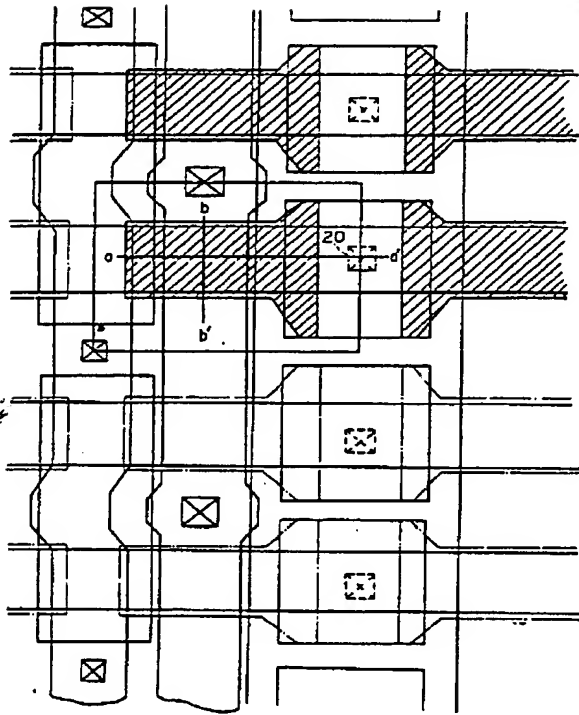
第 3A 図



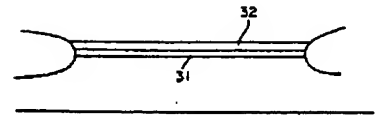
第 3B 図



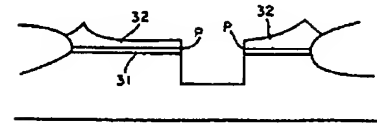
第 4 図



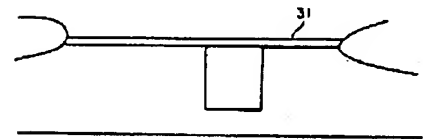
第 5A図



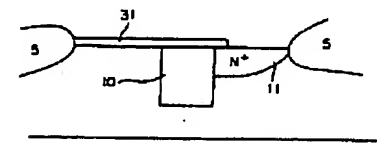
第 5B図



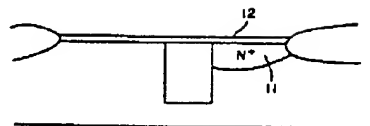
第 5C図



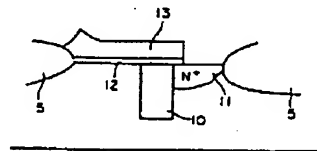
第 5D図



第 5E図



第 5F図



第 5G図

